



PATENT
Docket No. 20063/OG03-039

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Applicant(s): Sang Woo NAM

Serial No.: 10743,608

Filed: December 22, 2003

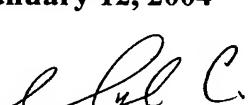
For: "Methods for Forming
Capacitors and Contact Holes of
Semiconductor Devices
Simultaneously"

Group Art Unit: Unknown

Examiner: Unknown

I hereby certify that the documents referred to as enclosed herewith are being deposited with the United States Postal Service, first class postage prepaid, in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450 on this date:

January 12, 2004



Mark C. Zimmerman
Reg. No. 44,006

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

Enclosed herewith is a certified copy of Korean Patent Application Serial No. 10-2002-0083527 filed December 24, 2002, the priority of which is claimed under 35 U.S.C. § 119.

Respectfully submitted,

GROSSMAN & FLIGHT, LLC.
Suite 4220
20 North Wacker Drive
Chicago, Illinois 60606
(312) 580-1020

By:

Mark C. Zimmerman
Registration No.: 44.006

January 12, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0083527
Application Number

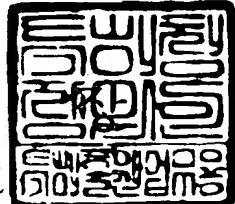
출 원 년 월 일 : 2002년 12월 24일
Date of Application DEC 24, 2002

출 원 인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.

2003 년 11 월 18 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2002. 12. 24
【발명의 명칭】	반도체 소자의 커패시터 및 콘택홀 동시 제조 방법
【발명의 영문명칭】	simultaneous manufacturing method of capacitor and contact hole for semiconductor device
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	서만규
【대리인코드】	9-1998-000260-4
【포괄위임등록번호】	2001-066005-7
【발명자】	
【성명의 국문표기】	남상우
【성명의 영문표기】	NAM, Sang Woo
【주민등록번호】	691007-1550710
【우편번호】	361-240
【주소】	충청북도 청주시 흥덕구 개신동 개신주공2차아파트 210-203
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 서만규 (인)
【수수료】	
【기본출원료】	17 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	29,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

이 발명은 반도체 소자의 커패시터 및 콘택홀 동시 제조 방법에 관한 것으로, 커패시터 형성중에 콘택홀도 함께 제조할 수 있어 공정을 단순화시킬 수 있고, 또한 커패시터 물질(질화 막)에서 에칭 스탑(etching stop)을 할 수 있어 공정 제어가 용이하도록, 반도체 서브스트레이트 위에 커패시터용 메탈라인과 콘택홀용 메탈라인을 각각 증착하고, 상기 각각의 메탈라인 위에 티타늄 나이트라이드층(TiN layer)을 증착하는 단계와, 상기 반도체 서브스트레이트, 메탈라인 및 티타늄 나이트라이드층 위에 일정 두께의 절연막을 형성하고, 상기 절연막 위에는 상대적으로 더 두꺼운 층간 절연막을 형성하는 단계와, 상기 층간 절연막 위에 포토레지스트를 도포하되, 상기 커패시터용 메탈라인 및 콘택홀용 메탈라인과 대응되는 영역에는 일정 크기의 윈도우가 형성되도록 하는 단계와, 상기 포토레지스트의 각 윈도우 내측으로 식각 가스가 공급되도록 하여, 상기 커패시터용 메탈라인 및 콘택홀용 메탈라인 위의 절연막이 층간 절연막을 통하여 외부로 노출되도록 하는 단계와, 상기 커패시터용 메탈라인 위의 절연막 및 층간 절연막 위에 포토레지스트를 도포하되, 상기 콘택홀용 메탈라인과 대응되는 절연막은 외부로 노출되도록 일정 크기의 윈도우가 형성되도록 하는 단계와, 상기 윈도우 내측으로 식각 가스가 공급되도록 하여, 상기 콘택홀용 메탈라인이 외부로 노출되도록 하는 단계와, 상기 포토레지스트를 제거하고, 외부로 노출된 커패시터용 절연막 및 콘택홀용 메탈라인 위에 텅스텐 플리그를 형성하는 단계로 이루어진 것을 특징으로 함.

【대표도】

도 2a

1020 083527

출력 일자: 2003/11/19

【색인어】

커패시터, 콘택홀, 티타늄 나이트라이드, 절연막, 텡스텐 플러그

【명세서】**【발명의 명칭】**

반도체 소자의 커패시터 및 콘택홀 동시 제조 방법{simultaneous manufacturing method of capacitor and contact hole for semiconductor device}

【도면의 간단한 설명】

도1a 및 도1b는 종래 반도체 소자의 커패시터 제조 방법을 도시한 순차 설명 단면도이다.

도2a 및 도2b는 본 발명에 의한 반도체 소자의 커패시터 및 콘택홀 동시 제조 방법을 도시한 순차 설명 단면도이다.

도3은 도2의 2를 도시한 확대 단면도이다.

-도면중 주요부호에 대한 설명-

10; 반도체 서브스트레이트 11,21; 메탈라인

12,22; 티타늄 나이트라이드층 31; 절연막

32; 층간 절연막 33,34; 포토레지스트

33a,33b,34b; 윈도우 35; 텅스텐 플러그

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 반도체 소자의 커패시터 및 콘택홀 동시 제조 방법에 관한 것으로, 더욱 상세하게 설명하면 커패시터 형성중에 콘택홀도 함께 제조할 수 있어 공정을 단순화시킬 수 있고,

또한 커패시터 물질(질화막)에서 에칭 스탑(etching stop)을 할 수 있어 공정 제어가 용이한 반도체 소자의 커패시터 및 콘택홀 동시 제조 방법에 관한 것이다.

<10> 도1a 및 도1b를 참조하면, 종래 반도체 소자의 커패시터 동시 제조 방법이 도시되어 있다.

<11> 도시된 바와 같이 종래 반도체 소자의 커패시터 제조 방법은 반도체 서브스트레이트(도시되지 않음) 위에 구리 또는 알루미늄과 같은 메탈을 증착하여 메탈라인(1')을 형성하고, 그 위에 티타늄 나이트라이드층(2')(TiN layer)을 증착하여 하부평판으로 이용하며, 그 위에 다시 산화막 또는 질화막과 같은 절연막(3')을 형성하며, 그 위에 상부평판 메탈(4')을 형성한 후, 소정 영역에만 커패시터가 형성되도록 포토레지스트(5')와 같은 마스크를 형성하는 단계(S1')와, 상기 반도체 서브스트레이트에 웨트(wet) 또는 드라이 에칭(dry etching) 방법으로 에칭 공정을 수행하여 메탈라인(1') 위의 필요한 영역만 남기고 나머지 영역은 모두 제거하는 에칭 단계(S2')로 이루어져 있다.

<12> 한편, 주지된 바와 같이 반도체 소자 특히, 아날로그 소자에는 커패시터가 대부분 형성되어야 하며, 하부평판 메탈에 전극을 연결하기 위해 콘택홀이 별도로 제조되어야만 한다. 즉, 상기와 같은 커패시터 제조 공정후 또는 전에 콘택홀 제조 공정을 별도로 수행한다.

<13> 그러나, 상기와 같이 커패시터 제조 공정과 콘택홀 제조 공정이 별도의 공정으로 진행되면, 제조 공정의 불필요하게 복잡해지고 길어지며, 또한 불량 확률도 그만큼 커지는 문제가 있다.

<14> 또한, 상기 하부평판이나 그 하부의 메탈라인이 모두 메탈이기 때문에 에칭 가스 또는 용액에 대한 선택비가 낮아 에칭 스탑 시점을 정확하게 맞추기 어렵고, 따라서 공정 제어가 매우 까다로운 문제도 있다.

【발명이 이루고자 하는 기술적 과제】

<15> 본 발명은 상기와 같은 종래의 문제를 해결하기 위해 안출한 것으로, 본 발명의 목적은 커패시터 형성중에 콘택홀도 함께 제조할 수 있어 공정을 단순화시킬 수 있는 반도체 소자의 커패시터 및 콘택홀 동시 제조 방법을 제공하는데 있다.

<16> 본 발명의 다른 목적은 커패시터 물질(질화막)에서 에칭 스탑(etching stop)을 할 수 있어 공정 제어가 용이한 반도체 소자의 커패시터 및 콘택홀 동시 제조 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<17> 상기한 목적을 달성하기 위해 본 발명에 의한 반도체 소자의 커패시터 및 콘택홀 동시 제조 방법은 반도체 서브스트레이트 위에 커패시터용 메탈라인과 콘택홀용 메탈라인을 각각 증착하고, 상기 각각의 메탈라인 위에 티타늄 나이트라이드층(TiN layer)을 증착하는 단계와, 상기 반도체 서브스트레이트, 메탈라인 및 티타늄 나이트라이드층 위에 일정 두께의 절연막을 형성하고, 상기 절연막 위에는 상대적으로 더 두꺼운 충간 절연막을 형성하는 단계와, 상기 충간 절연막 위에 포토레지스트를 도포하되, 상기 커패시터용 메탈라인 및 콘택홀용 메탈라인과 대응되는 영역에는 일정 크기의 윈도우가 형성되도록 하는 단계와, 상기 포토레지스트의 각 윈도우 내측으로 식각 가스가 공급되도록 하여, 상기 커패시터용 메탈라인 및 콘택홀용 메탈라인 위의 절연막이 충간 절연막을 통하여 외부로 노출되도록 하는 단계와, 상기 커패시터용 메탈라인 위의 절연막 및 충간 절연막 위에 포토레지스트를 도포하되, 상기 콘택홀용 메탈라인과 대

응되는 절연막은 외부로 노출되도록 일정 크기의 윈도우가 형성되도록 하는 단계와, 상기 윈도우 내측으로 식각 가스가 공급되도록 하여, 상기 콘택홀용 메탈라인이 외부로 노출되도록 하는 단계와, 상기 포토레지스트를 제거하고, 외부로 노출된 커패시터용 절연막 및 콘택홀용 메탈라인 위에 텡스텐 플러그를 형성하는 단계로 이루어진 것을 특징으로 한다..

- <18> 여기서, 상기 커패시터용 메탈라인은 하부 평판으로 이용하고, 그 위의 절연막은 질화막으로 형성하며, 그 위의 텡스텐 플러그는 상부 평판으로 이용할 수 있다.
- <19> 상기와 같이 하여 본 발명에 의한 반도체 소자의 커패시터 및 콘택홀 동시 제조 방법에 의하면, 메탈라인 위의 티타늄 나이트라이드층을 커패시터의 하부 평판으로 이용할 수 있음으로써, 별도로 하부 평판을 제조할 필요가 없는 장점이 있다.
- <20> 또한, 다마신(damascene) 공정으로 텡스텐 플러그 즉, 상부 평판을 제조함으로써, 결함이 적은 장점이 있다.
- <21> 또한, 커패시터의 절연막으로서 질화막을 사용할 수 있어, 충간 절연막과 선택적으로 에칭할 수 있는 장점이 있다.
- <22> 또한, 메탈라인을 절연막 즉, 질화막으로 보호함으로, 텡스텐에 의한 메탈라인 쇼트의 염려가 없는 장점이 있다.
- <23> 더불어, 상부 평판을 메탈라인과 메탈라인을 연결하는 텡스텐 플러그를 이용함으로서, 반도체 소자가 단순해지는 장점이 있다.

<24> 이하 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시 할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.

<25> 먼저, 도2a 및 도2b를 참조하면, 본 발명에 의한 반도체 소자의 커패시터 및 콘택홀 동시 제조 방법이 도시되어 있다.

<26> 도시된 바와 같이 본 발명에 의한 반도체 소자의 커패시터 및 콘택홀 동시 제조 방법은 커패시터용 및 콘택홀용 메탈라인 위에 티타늄 나이트라이드층을 형성하는 단계(S1), 절연막 및 상대적으로 더 두꺼운 두께의 층간 절연막을 형성하는 단계(S2), 제1차 포토레지스트 도포 단계(S3), 상기 커패시터용 및 콘택홀용 메탈라인과 대응되는 절연막이 노출되도록 하는 제1차 에칭 단계(S4), 제2차 포토레지스트 도포 단계(S5), 상기 콘택홀용 메탈라인이 노출되도록 하는 제2차 에칭 단계(S6), 및 상기 커패시터용 메탈라인 위의 절연막과 상기 콘택홀용 메탈라인 위에 텅스텐 플러그를 형성하는 단계(S7)로 이루어져 있다.

<27> 먼저, 상기 반도체 커패시터용 및 콘택홀용 메탈라인(11,21) 위에 티타늄 나이트라이드 층(12,22)을 형성하는 단계(S1)는 반도체 서브스트레이트(10) 위에 커패시터용 메탈라인(11)과 콘택홀용 메탈라인(11)을 각각 증착하고, 상기 각각의 메탈라인(11,21) 위에 티타늄 나이트라이드층(12,22)(TiN layer)을 증착함으로써 이루어진다. 여기서, 상기 메탈라인(11,21)은 통상의 알루미늄(Al), 알루미늄/구리 합금(Al/Cu alloy), 구리(Cu) 또는 이의 등가물이 가능하며 여기서 메탈라인(11,21)의 재질을 한정하는 것은 아니다. 또한, 상기 티타늄 나이트라이드층(12,22)은 통상의 티타늄 타겟(Ti target)을 이용한 플라즈마 스퍼터링(plasma sputtering)에 의해 형성될 수 있다.

<28> 상기 절연막(31) 및 상대적으로 더 두꺼운 두께의 층간 절연막(32)을 형성하는 단계(S2)는 상기 반도체 서브스트레이트(10), 메탈라인(11,21)의 측벽 및 티타늄 나이트라이드층(12,22) 위에 일정 두께의 얇은 절연막(31)을 형성하고, 이어서 상기 절연막(31) 위에는 상대적으로 두꺼운 층간 절연막(32)을 형성하여 이루어진다. 여기서, 상기 절연막(31)은 통상의 질화막(Si_3N_4)을 이용함으로써 상기 메탈라인(11,21)과 추후에 형성되는 다른 메탈과의 쇼트를 확실히 방지하도록 함이 바람직하다. 물론, 상기 질화막은 통상의 NH_3 와 SiH_2Cl_2 등을 이용하여 성장시킬 수 있다. 또한 상기 층간 절연막(32)은 통상의 저유전율을 갖는 실리카 또는 불소화산화규소막(FSG: $SiOxFy$)을 이용할 수 있으며, 여기서 특정한 재질로 한정하는 것은 아니다.

<29> 상기 제1차 포토레지스트(33) 도포 단계(S3)는 상기 층간 절연막(32) 위에 포토레지스트(33)를 도포하되, 상기 커패시터용 메탈라인(11) 및 콘택홀용 메탈라인(21)과 대응되는 영역에는 일정 크기의 원도우(33a,33b)가 형성되도록 하여 이루어진다.

<30> 상기 커패시터용 및 콘택홀용 메탈라인(11,21)과 대응되는 절연막(31)이 노출되도록 하는 제1차 에칭 단계(S4)는 상기 포토레지스트(33)의 각 원도우(33a,33b) 내측으로 식각 가스가 공급되도록 하여, 상기 커패시터용 메탈라인(11) 및 콘택홀용 메탈라인(21) 위의 절연막(31)이 층간 절연막(32)을 통하여 외부로 노출되도록 하여 이루어진다. 여기서, 상기와 같은 식각은 통상의 RIE 에처(Reactive Ion Etching Etcher) 장비를 이용할 수 있다.

<31> 상기 제2차 포토레지스트(34) 도포 단계(S5)는 상기 커패시터용 메탈라인(11) 위의 절연막(31) 및 층간 절연막(32) 위에 포토레지스트(34)를 도포하되, 상기 콘택홀용 메탈라인(21)과 대응되는 절연막(31)은 외부로 노출되도록 일정 크기의 원도우(34b)가 형성되도록 하여 이루어진다.

<32> 상기 콘택홀용 메탈라인(21)이 노출되도록 하는 제2차 에칭 단계(S6)는 상기 포토레지스트(34)의 윈도우(34b)의 내측으로 식각 가스가 공급되도록 하여, 상기 콘택홀용 메탈라인(21)이 외부로 노출되도록 하여 이루어진다. 여기서, 상기 식각 가스는 상기 절연막(31)을 식각시 CHF_3 , NF_3 , SIF_4 등을 이용하고, 상기 티타늄 나이트라이드층(22) 식각할 경우에는 HF 등을 이용한 통상의 RIE 공정을 이용할 수 있다.

<33> 상기 커패시터용 메탈라인(11) 위의 절연막(31)과 상기 콘택홀용 메탈라인(21) 위에 텅스텐 플러그(35)를 형성하는 단계(S7)는 상기 포토레지스트(34)를 제거하고, 외부로 노출된 커패시터용 절연막(31) 및 콘택홀용 메탈라인(21) 위에 텅스텐 플러그(35)를 형성함으로써 이루어진다. 물론, 이러한 공정은 상기 노출된 절연막(31), 콘택홀용 메탈라인(21) 및 층간 절연막(32) 전체에 텅스텐을 증착한 후, CMP(Chemical Mechanical Polishing) 공정을 진행함으로써, 마치 다마신(damascene) 공정에서와 같이 소자 결함이 최소화되도록 함이 바람직하다. 이와 같이 하여 본 발명에 의한 반도체 소자의 커패시터 및 콘택홀 동시 제조 방법이 완료된다.

<34> 도3을 참조하면, 도2의 2를 도시한 확대 단면도가 도시되어 있다.

<35> 도시된 바와 같이 본 발명에 의한 커패시터 구조는 반도체 서브스트레이트(10)의 위의 커패시터용 메탈라인(11)이 하부 평판으로 이용될 수 있고, 그 위의 절연막(31) 즉, 질화막은 정전 용량과 관련있는 유전체로 사용될 수 있으며, 그 위의 텅스텐 플러그(35)는 상부 평판으로 이용될 수 있다.

<36> 이상에서와 같이 본 발명은 비록 상기의 실시예에 한하여 설명하였지만, 본 발명은 이것으로만 한정되는 것은 아니며, 본 발명의 범주와 사상을 벗어나지 않는 범위내에서 여러가지로 변형된 실시예도 가능하다.

【발명의 효과】

<37> 따라서, 본 발명에 의한 반도체 소자의 커패시터 및 콘택홀 동시 제조 방법에 의하면, 메탈라인 위의 티타늄 나이트라이드층을 커패시터의 하부 평판으로 이용할 수 있음으로써, 별도로 하부 평판을 제조할 필요가 없는 효과가 있다.

<38> 또한, 다마신(damascene) 공정으로 텅스텐 플러그 즉, 상부 평판을 제조함으로써, 소자 결함이 적은 효과가 있다.

<39> 또한, 커패시터의 절연막으로서 질화막을 사용할 수 있어, 층간 절연막과 선택적으로 에칭할 수 있는 효과가 있다.

<40> 또한, 메탈라인을 절연막 즉, 질화막으로 보호함으로, 텅스텐에 의한 메탈라인 쇼트의 염려가 없는 효과가 있다.

<41> 더불어, 상부 평판을 메탈라인과 메탈라인을 연결하는 텅스텐 플러그를 이용함으로써, 반도체 소자의 구조가 단순해지는 효과가 있다.

【특허청구범위】**【청구항 1】**

반도체 서브스트레이트 위에 커패시터용 메탈라인과 콘택홀용 메탈라인을 각각 증착하고, 상기 각각의 메탈라인 위에 티타늄 나이트라이드층(TiN layer)을 증착하는 단계;

상기 반도체 서브스트레이트, 메탈라인 및 티타늄 나이트라이드층 위에 일정 두께의 절연막을 형성하고, 상기 절연막 위에는 상대적으로 더 두꺼운 층간 절연막을 형성하는 단계;

상기 층간 절연막 위에 포토레지스트를 도포하되, 상기 커패시터용 메탈라인 및 콘택홀용 메탈라인과 대응되는 영역에는 일정 크기의 윈도우가 형성되도록 하는 단계;

상기 포토레지스트의 각 윈도우 내측으로 식각 가스가 공급되도록 하여, 상기 커패시터용 메탈라인 및 콘택홀용 메탈라인 위의 절연막이 층간 절연막을 통하여 외부로 노출되도록 하는 단계;

상기 커패시터용 메탈라인 위의 절연막 및 층간 절연막 위에 포토레지스트를 도포하되, 상기 콘택홀용 메탈라인과 대응되는 절연막은 외부로 노출되도록 일정 크기의 윈도우가 형성되도록 하는 단계;

상기 윈도우 내측으로 식각 가스가 공급되도록 하여, 상기 콘택홀용 메탈라인이 외부로 노출되도록 하는 단계; 및,

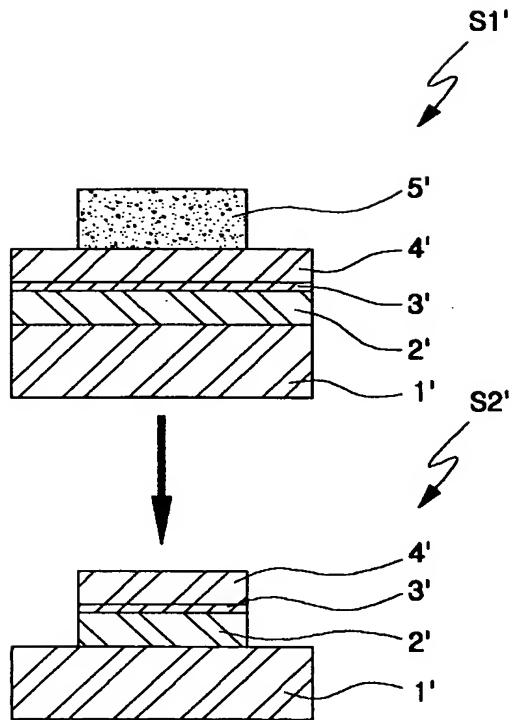
상기 포토레지스트를 제거하고, 외부로 노출된 커패시터용 절연막 및 콘택홀용 메탈라인 위에 텅스텐 플러그를 형성하는 단계로 이루어진 반도체 소자의 커패시터 및 콘택홀 동시 제조 방법.

【청구항 2】

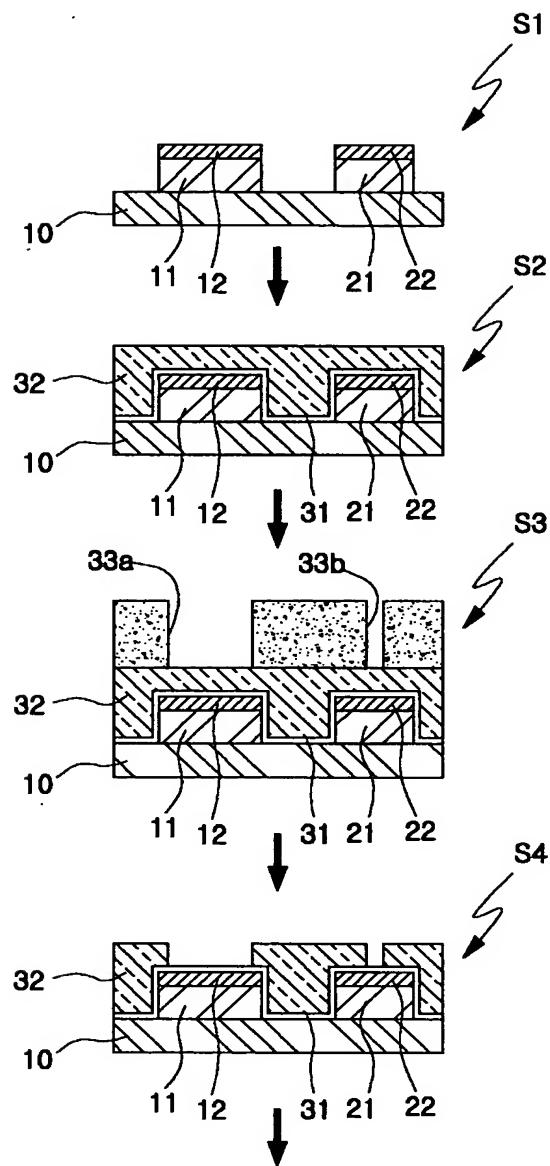
제1항에 있어서, 상기 커패시터용 메탈라인은 하부 평판으로 이용하고, 그 위의 절연막은 질화막으로 형성하며, 그 위의 텅스텐 플러그는 상부 평판으로 이용함을 특징으로 하는 반도체 소자의 커패시터 및 콘택홀 동시 제조 방법.

【도면】

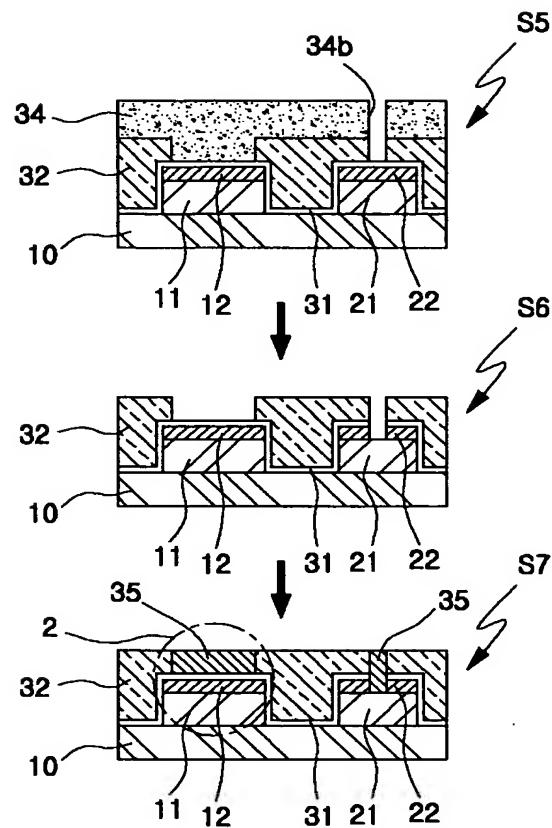
【도 1a】



【도 2a】



【도 2b】



【도 3】

